

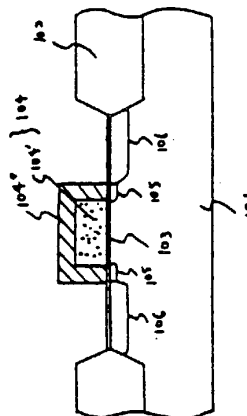
JP 402260540-A

OCT 1990

(54) MIS TYPE SEMICONDUCTOR DEVICE
(11) 2-260540 (A) (43) 23.10.1990 (19) JP
(21) Appl. No. 64-81067 (22) 31.3.1989
(71) SEIKO EPSON CORP (72) MAKIO GOTO
(51) Int. Cl. H01L21/336, H01L29/784

PURPOSE: To ease production process and improve controllability of dimensions an flatness by sandwiching a second conductivity-type low-concentration impurities diffusion layer provided on a first conductivity-type semiconductor substrate by a gate insulating film and placing it directly below a high melt-point metal silicide.

CONSTITUTION: A gate electrode 104 consists of a polycrystalline silicon 104' and a Ti silicide 104" covering the above and a sidewall. A low-concentration impurities diffusion layer 105 is placed below the Ti silicide 104" at the sidewall part of the gate electrode 104 sandwiching a gate oxide film 103. This structure is called the GOLD structure where the gate electrode and drain part are overlapped, thus preventing deterioration of conductance due to hot carrier. Therefore, it is possible to realize a production process easily and to control the dimensions of the low-concentration impurities diffusion layer by the film thickness of a high melt-point metal easily.



257/394
257/900
257/413

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-260540

⑮ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月23日

H 01 L 21/336
29/784

8422-5F H 01 L 29/78 3 0 1 L
8422-5F G

審査請求 未請求 請求項の数 1 (全3頁)

⑬ 発明の名称 MIS型半導体装置

⑯ 特 願 平1-81067

⑰ 出 願 平1(1989)3月31日

⑱ 発 明 者 後 藤 万 亀 雄 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

MIS型半導体装置

2. 特許請求の範囲

ゲート電極が、多結晶Siと少くともその側壁に設けられた高融点金属シリサイドからなり、第1導電型半導体基板上に設けられた第2導電型低温度不純物拡散層が、ゲート絶縁膜をはさみ、前記高融点金属シリサイドのほぼ直下に位置することを特徴とするMIS型半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はMIS型半導体装置の構造に関する。

(従来の技術)

半導体装置の微細化、高集積化にともないMOS型トランジスタも微細化されてきている。しかし、素子寸法を微細化することによりホットキャ

リアによる特性劣化という問題が生じてきている。

この問題を解決するためLDD(Lightly Poped Drain)という構造が提案されているが、このLDDをさらに改良した構造が次の文献に掲載されている。(R. IZAWA, T. KURE, E. TAKEDA, 'THE IMPACT OF GATE-DRAIN OVERLAPPED LDD(GOLD) FOR DEEP SUB MICRON VLSI'S', IEDM Tech. Dig. pp38-pp41 1987)

(発明が解決しようとする課題)

しかし、前述の従来技術では、製造プロセスがかなり複雑であり、低温度不純物拡散層の寸法制御性が悪く、ゲート電極の敷設が大きいために、平坦性が悪いという課題を有する。

そこで本発明はこのような課題を解決するもので、その目的とするところは、製造プロセスが容易であり、寸法制御性、平坦性が良好な半導体装置を提供するところにある。

(問題を解決するための手段)

本発明のMIS型半導体装置は、ゲート電極が、多結晶Siと、少くともその側壁に設けられた高融点金属シリサイドからなり、第1導電型半導体基板に設けられた第2導電型低濃度不純物拡散層が、ゲート絶縁膜をはさみ、前記高融点金属シリサイドの直下に位置することを特徴とする。

(実施例)

以下図面を用いて、本発明の実施例を詳細に説明する。

第1図は本発明による半導体装置を表わす断面図であり、101はP型Si基板、102は素子分離用酸化膜、103はゲート酸化膜、104はゲート電極であり、多結晶シリコン104'と、その上部及び側壁を覆ったTiシリサイド104''により形成されている。105は低濃度N型不純物拡散層、106は高濃度不純物拡散層であり、図で示したように前記低濃度不純物拡散層105はゲート酸化膜103をはさんで前記ゲート電極104側壁部の前記Tiシリサイド104''

の下部に配置されている。この構造はゲート電極とドレイン部がオーバーラップした、いわゆるGOLD構造であり、この構造を用いることにより、ホットキャリアによるコンダクタンスの劣化が避けられることは言うまでもない。

次に本発明の製造方法を簡単に示す。

- 1) P型Si基板101上にLOCOS法で素子分離用酸化膜102を2000~7000Å形成するした後、ゲート酸化膜103を熱酸化法により100~300Å形成する。
- 2) 多結晶Siを全面にCVD法で1000~5000Å形成し、N型不純物を拡散法で注入した後フォトリソグラフィングすること、ゲート電極の1部104'を形成する。
- 3) 前記ゲート電極の1部(多結晶Siパターン)104'をマスクにAs、P等をDOSE量 10^{11} ~ 10^{16} の範囲でイオン注入し、低濃度不純物拡散層105を形成する。
- 4) 全面にスパッタ法でTiを200~1000Å形成し、ハロゲンランプを用い、800℃前後

の温度で30sec程度アニールを行うことにより、前記多結晶Si104'の上面及び側面にTiシリサイド104''が形成される。未反応Tiは、この後に選択エッチ液(アンモニアと過酸化水素の混合水溶液)を用いて除去する。この工程により多結晶Si104'の上部及び側壁をTiシリサイド104''が覆った形のゲート電極104が完成する。

5) 前記ゲート電極104をマスクにAs、P等をDOSE量 10^{11} ~ 10^{16} の範囲でイオン注入し、熱アニールすることで、高濃度不純物拡散層106を形成し、本発明の半導体装置は完成する。

以上実施例を用いて、本発明の半導体装置を説明してきたが、本発明の主旨を逸脱しない範囲で種々変更可能なことは言うまでもない。

例えば本実施例ではゲート電極の上部、側壁にTiシリサイドが設けられているが側壁だけでもかまわない。またシリサイドに用いる高融点金属は、Ti以外に、Co、Ni、Pt、W、Ta、Mo等でもよい。また本実施例ではNchTrを

用いたが、PchTrにも適用しうる。

(発明の効果)

本発明によれば、実施例で示したように製造プロセスが非常に容易であり、低濃度不純物拡散層の寸法は高融点金属の膜厚により容易に制御しうる。また、ゲート電極は初期の多結晶Siの膜厚に比較し問題になるほどの膜厚増加はないため、平坦性は良い。さらに高融点金属シリサイドによりゲート配線の低抵抗もはかられた、すぐれたGOLD構造の半導体装置を提供できるという効果を有する。

4. 図面の簡単な説明

第1図は本発明の半導体装置を表わす主要断面図。

- 101.....P型Si基板
- 102.....素子分離用酸化膜
- 103.....ゲート酸化膜
- 104.....ゲート電極

特開平2-260540(3)

104' . . . 多結晶Si

104' . . . Tiシリサイド

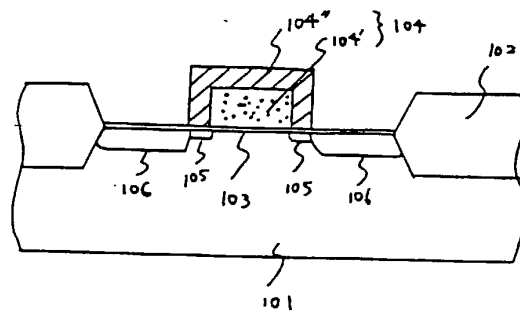
105 . . . 低濃度N型不純物拡散層

106 . . . 高濃度N型不純物拡散層

以 上

出願人 セイコーエプソン株式会社

代理人 井理士 鈴木 喜三郎(他1名)



第 1 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.